

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-26611

(P 2002-26611A)

(43) 公開日 平成14年1月25日 (2002. 1. 25)

(51) Int. Cl. 7

識別記号

F I

データベース (参考)

H 0 1 P 1/208  
1/205  
5/08  
5/107

H 0 1 P 1/208  
1/205  
5/08  
5/107

Z 5J006  
K  
H  
C

審査請求 未請求 請求項の数 9 O L

(全 9 頁)

(21) 出願番号 特願2000-207460 (P2000-207460)

(22) 出願日 平成12年7月7日 (2000. 7. 7)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 丸橋 建一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 伊東 正治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

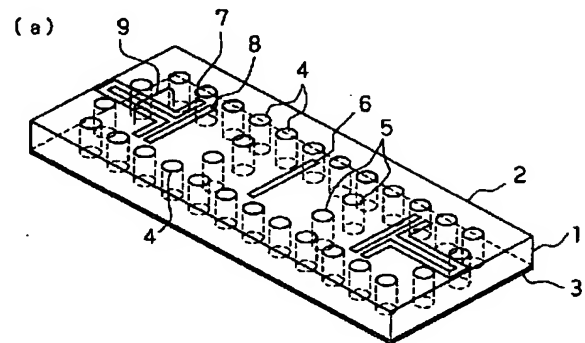
最終頁に続く

(54) 【発明の名称】 フィルタ

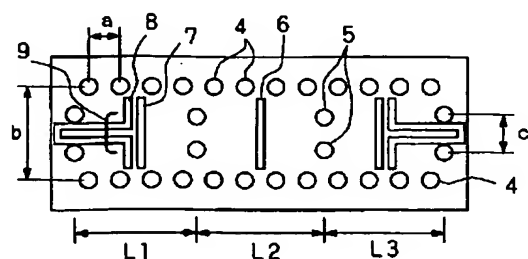
(57) 【要約】

【目的】 少ない段数でも優れたフィルタ特性を有する、小型な誘電体導波管フィルタを提供する。また導波管-コプレーナ線路変換をフィルタ上に直接形成し、平面回路との接続、あるいはフリップチップ実装可能なフィルタを提供する。

【解決手段】 誘電体基板 1 の一面に表面導体 2 が、反対側の面に裏面導体 3 が形成されている。表面導体 2 と裏面導体 3 を接続するビアホール 4 が、信号伝送方向に 2 列形成されている。中央の共振器上部の表面導体 2 には、部分的に導体が除去されたスリット 6 が形成されている。スリット 6 は、信号方向に直角に配置させることが望ましい。両端の共振器上部の表面導体 2 には、部分的に導体が除去されたスリット 7、8 が形成されている。スリット 8 には、表面導体 2 に形成されたコプレーナ線路 9 が接続されている。



(b)



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 誘電体が充填された矩形導波管構造内に少なくとも1つの共振器が形成されたフィルタにおいて、

前記共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成されたことを特徴とするフィルタ。

【請求項2】 誘電体基板の上面と下面とに導体面が形成され、

前記誘電体基板側面に導体面が形成され、

前記誘電体基板の導体面を長辺導体面とする矩形導波管構造内に少なくとも1つの共振器が形成されたフィルタにおいて、

前記共振器を構成する導波管構造の長辺導体面に、少なくとも1つ以上のスリットが形成されたことを特徴とするフィルタ。

【請求項3】 誘電体基板の上面と下面とに導体面が形成され、

前記誘電体基板内に導体ビアホールが形成され、

前記誘電体基板の導体面を長辺導体面とする矩形導波管構造内に少なくとも1つの共振器が形成されたフィルタにおいて、

前記共振器を構成する導波管構造の長辺導体面に、少なくとも1つ以上のスリットが形成されたことを特徴とするフィルタ。

【請求項4】 前記共振器が奇数個配列され、

その中央の共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成されたことを特徴とする請求項1から3のいずれかの請求項に記載のフィルタ。

【請求項5】 前記導波管構造の長辺導体面に、信号伝播方向に直交する向きにスリットが形成されたことを特徴とする請求項1から4のいずれかの請求項に記載のフィルタ。

【請求項6】 前記導波管構造を構成する導体面にコプレーナ線路が形成され、

前記共振器を構成する前記導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成され、

前記コプレーナ線路が前記スリットと接続されていることを特徴とする請求項1から5のいずれかの請求項に記載のフィルタ。

【請求項7】 前記コプレーナ線路と、フィルタを実装するための回路基板とがバンプを介して接続されることを特徴とする請求項6に記載のフィルタ。

【請求項8】 前記導波管構造を構成する導体面にスロット線路が形成され、

前記共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成され、

前記スロット線路が前記スリットと接続されていることを特徴とする請求項1から5のいずれかの請求項に記載

のフィルタ。

【請求項9】 前記スロット線路と、フィルタを実装するための回路基板とがバンプを介して実装されることを特徴とする請求項8に記載のフィルタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波部品として用いられる導波管構造を有するフィルタに関する。

【0002】

10 【従来の技術】 マイクロ波・ミリ波帯で用いられる代表的な導波管フィルタは、金属導波管を用い、絞り構造を形成した共振器構成を利用することにより実現される。この種のフィルタは性能が優れているが、サイズが大きいという課題がある。そこで特願平10-82184号公報に記載の公知例のように、誘電体基板内に金属ビアホールによる導波管側面が形成された、擬似導波管帯域通過型フィルタが考案されている。具体例として、図9に4段構成フィルタの概略構造を示す。図9(a)は斜視図であり、図9(b)は上面図である。誘電体基板1の一面に表面導体2が、反対側の面に裏面導体3が形成されている。表面導体2と裏面導体3を接続するビアホール4が、信号伝送方向に2列形成されている。おのおのビアホールの間隔aは、管内波長の2分の1以下が望ましい。この構造は、誘電体の厚みと2列に並ぶビアホールの間隔bを導波管断面とする擬似導波管とみなすことができる。導波管内には、さらにビアホール5のペアが形成されており、共振長L1、L2、L3、L4とする共振器が形成される。ここでペアとなるビアホール5の間隔cを適切に選ぶことにより、共振周波数以外の周波数を効果的に反射させることができる。一方共振周波数では、信号は通過し、所望のフィルタ性能が得られる。このフィルタにおいては、導波管内部が中空である場合に比べ、およそ $1/\sqrt{\epsilon}$ の大きさとすることができる（ $\epsilon$ は誘電体の誘電率）。一方、誘電体基板上のマイクロストリップ線路を用いて構成されたフィルタが、しばしば用いられている。比較的小型で、集積回路等の平面回路とワイヤボンディングにより接続できるため、高周波モジュール内に容易に実装することができる。

【0003】

40 【発明が解決しようとする課題】 しかしながら導波管フィルタにおいては、小型化が要求される場合がある。例えば半導体上に形成されるマイクロ波・ミリ波集積回路のサイズは、大きいものでも5mm角程度である。したがって集積回路を用いて小型のマルチチップモジュールを構成する場合には、フィルタのような受動部品のサイズを縮小することが重要となる。また一般的には平面回路との接続が困難である。そこでサイズを大きくすることなく、特別な変換回路を付加することなく、容易に実装かつ接続できる機能をもったフィルタが望まれている。一方、マイクロストリップ線路を用いたフィルタでは、

パッケージ構造内に実装した場合、性能に変化が現れることがある。これは、マイクロストリップ線路では、電磁界分布が上方まで広がっているため、蓋の装着による影響を受けやすいことに起因する。またワイヤボンディングによる接続においては、特にミリ波帯のような高周波で、ワイヤ長、もしくはワイヤ長で済まる寄生インダクタ成分のばらつきによる性能変化が無視できない。このため量産時の歩留まり低下の要因となっている。この問題を解決するために、ミリ波半導体集積回路をフェイスダウンでバンパにより実装基板と実装・接続する、フリップチップ実装技術の開発が進められている。この技術については、例えば公知文献(K. Maruhashi et al., IEEE International Solid-State Circuits Symposium, Digest, pp. 324-325, 2000年)に記載されている。フリップチップ実装を適用した場合、各素子と実装基板の間が比較的短い距離(200マイクロメートル以下)で接続されるため、ワイヤボンディングで問題となる寄生インダクタ成分、およびそのばらつきの影響が無視できる。フィルタに対して同様にフリップチップ実装技術を適用しようとした場合、素子間の接続に用いられるコプレーナ線路に適した端子を有し、さらにフェイスダウンで実装を行ってもフィルタ性能の変化が少ない構造を有するフィルタの実現が強く望まれていた。

【0004】本発明は、このような事情を考慮してなされたもので、その目的は、少ない段数でも優れたフィルタ特性を有する、小型な誘電体導波管型構造のフィルタを提供するとともに、平面回路との接続のための特別の外部端子を設けることなく、フリップチップ実装可能なフィルタを提供することにある。

【0005】

【課題を解決するための手段】以上の問題を解決するために、請求項1記載の発明は、誘電体が充填された矩形導波管構造内に少なくとも1つの共振器が形成されたフィルタにおいて、共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成されたことを特徴とするフィルタである。請求項2記載の発明は、誘電体基板の上面と下面とに導体面が形成され、誘電体基板側面に導体面が形成され、誘電体基板の導体面を長辺導体面とする矩形導波管構造内に少なくとも1つの共振器が形成されたフィルタにおいて、共振器を構成する導波管構造の長辺導体面に、少なくとも1つ以上のスリットが形成されたことを特徴とするフィルタである。請求項3記載の発明は、誘電体基板の上面と下面とに導体面が形成され、誘電体基板内に導体ビアホールが形成され、誘電体基板の導体面を長辺導体面とする矩形導波管構造内に少なくとも1つの共振器が形成されたフィルタにおいて、共振器を構成する導波管構造の長辺導体面に、少なくとも1つ以上のスリットが形成されたことを特徴とするフィルタである。請求項4記載の発明は、請求項1から3のいずれかの請求項に記載の発明におい

て、共振器が奇数個配列され、その中央の共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成されたことを特徴とする。請求項5記載の発明は、請求項1から4のいずれかの請求項に記載の発明において、導波管構造の長辺導体面に、信号伝播方向に直交する向きにスリットが形成されたことを特徴とする。請求項6記載の発明は、請求項1から5のいずれかの請求項に記載の発明において、導波管構造を構成する導体面にコプレーナ線路が形成され、共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成され、コプレーナ線路がスリットと接続されていることを特徴とする。請求項7記載の発明は、請求項6記載の発明において、コプレーナ線路と、フィルタを実装するための回路基板とが、バンパを介して接続されることを特徴とする。請求項8記載の発明は、請求項1から5のいずれかの請求項に記載の発明において、導波管構造を構成する導体面にスロット線路が形成され、共振器を構成する導波管構造の長辺導体面に少なくとも1つ以上のスリットが形成され、スロット線路がスリットと接続されていることを特徴とする。請求項9記載の発明は、請求項8記載の発明において、スロット線路とフィルタを実装するための回路基板とがバンパを介して実装されることを特徴とする。

【0006】

【発明の実施の形態】図2は、本発明における第1の実施の形態を示したフィルタ概略構造図である。図2(a)は斜視図であり、図2(b)は上面図である。誘電体基板1の一面に表面導体2が、反対側の面に裏面導体3が形成されている。表面導体2と裏面導体3を接続するビアホール4が、信号伝送方向に2列形成されている。おのおのビアホールの間隔aは、管内波長の2分の1以下が望ましい。この構造は、誘電体の厚み(短辺方向)と、2列に並ぶビアホールの間隔b(長辺方向)を導波管断面とする擬似導波管とみなすことができる。導波管内には、さらにビアホール5のペアが形成されており、共振長をL1、L2、L3とする共振器が形成される。ここでペアとなるビアホール5の間隔cを適切に選ぶことにより、共振周波数以外の周波数を反射させることができる。一方共振周波数では、信号は通過し、所望のフィルタ性能が得られる。

【0007】本フィルタは、共振器が3個からなる3段構成であり、中央の共振器上部の表面導体2には、部分的に導体が除去されたスリット6が形成されている。スリット6は、信号方向に直角に配置させることが望ましい。本実施の形態におけるフィルタ特性(挿入損失)を図3に示す。なお従来フィルタの特性例として、3dB通過帯域がほぼ同じとなる図4に示した4段構成のフィルタ、および図では示していないが、同様の3段構成のフィルタに関する挿入損失の周波数依存性を同時に示した。例えば中心周波数61GHzに対し、低域側に6GHz

離れた場合 (5.5 GHz)、本実施例の挿入損失は 40 dB である。この値は、従来例による 3 段構成のフィルタの挿入損失 25 dB より大きく、4 段構成のフィルタの値 42 dB とほぼ同じである。したがって本実施の形態によれば、従来に比べ少ない段数の構成を用いても、良好な不要周波数帯信号の抑圧量が得られる。したがってフィルタの小型化を図ることができ、フィルタそのものの低価格化、あるいはフィルタを用いた高周波回路モジュールの小型化が実現される。

【0008】本発明の実施の形態の動作原理は、本スリット 6 の導入により、低域側に減衰極が形成され、不要周波数帯信号の抑圧量を高めることにある。本実施の形態では、低域側に減衰極を形成したが、スリット長を調整することにより、高域側に減衰極を形成することも可能である。奇数個の共振器をもつフィルタの中央の共振器上にスリットを設けた場合、他の構造パラメータを変更することなくスリット長を変更することにより、減衰極の出現する周波数を容易に調整できることが見出されている。またスリットは、必要に応じ、ビアホール 4 の間を通り、導波管構造部の外側までその長さを増加させることもできるため、設計自由度は高い。さらに複数の共振器上に、長さの異なるスリットを形成することにより、高域側、低域側の両方に減衰極を設けることもできる。

【0009】なお、擬似導波管内部からの信号電磁界は、スリットから漏洩するものの、擬似導波管内部に誘電体が存在するため、その影響は小さい。したがって、例えばモジュールに組み込み、蓋を装着したとしても、フィルタ特性への影響は小さい。本実施の形態におけるフィルタは、よく知られたアルミナセラミック基板プロセスなどによって容易に作製可能である。すなわち、セラミック材シートを用い、ビアホール形成、金属ペーストの充填、焼成、薄膜配線形成 (スリット形成)、金メッキなどの工程を経て、作製完了に至る。ただし、本発明においては、基板材料、ビアホールの形成方法、スリット形成方法を限定するものではない。またビアホール 4 は、信号伝送方向に 2 列形成されているが、擬似導波管構造を形成していれば、列の数はいくらであってもよい。

【0010】図 4 は、本発明における第 2 の実施の形態を示したフィルタ概略構造図である。図 4 (a) は斜視図であり、図 4 (b) は上面図である。誘電体基板 1 の一面に表面導体 2 が、反対側の面に裏面導体 3 が形成されている。表面導体 2 と裏面導体 3 を接続するビアホール 4 が、信号伝送方向に 2 列形成されている。おのおのビアホールの間隔  $a$  は、管内波長の 2 分の 1 以下が望ましい。この構造は、誘電体の厚みと 2 列に並ぶビアホールの間隔  $b$  を導波管断面とする擬似導波管とみなすことができる。導波管内には、さらにビアホール 5 のペアが形成されており、共振長が  $L_1$ 、 $L_2$ 、 $L_3$ 、 $L_4$  とする

共振器が形成される。ここでペアとなるビアホール 5 の間隔  $c$  を適切に選ぶことにより、共振周波数以外の周波数を反射させることができる。一方共振周波数では、信号は通過し、所望のフィルタ性能が得られる。本フィルタは、共振器が 4 個からなる 4 段構成であり、両端の共振器上部の表面導体 2 には、部分的に導体が除去されたスリット 7、8 が形成されている。スリット 8 には、共振器上部の表面導体 2 に形成されたコプレーナ線路 9 が接続されている。

【0011】本発明の第 2 の実施の形態によれば、共振器上に形成されたコプレーナ線路 9 がそのまま外部接続用の端子となる。したがって、信号方向に別の接続部を必要とする従来例 (図 9) に比べて、小型に作製することができる。また特別な変換部を別に設ける必要がなく、平面回路とワイヤボンディング等の方法により接続可能である。なお、擬似導波管内部からの信号電磁界は、スリットから漏洩するものの、擬似導波管内部に誘電体が存在するため、その影響は小さい。したがって、例えばモジュールに組み込み、蓋を装着したとしても、フィルタ特性への影響は小さい。

【0012】本実施の形態によるフィルタの実装方法の 1 例を図 5 に示す。本実施の形態によるフィルタ 10 が実装されるべき実装基板 11 には、導体パターン 12 を用いてコプレーナ線路 13 が形成されている。例えば金を成分とするバンパ 14 が、実装基板 11 上に形成されている。フィルタは、例えば熱圧着法など工法により、バンパを介して実装基板 11 と実装、接続される。この実装基板には、フィルタ以外にも集積回路等が実装される場合もある。本発明においては、バンパの種類、形成方法を限定するのではなく、はんだバンパを用いたり、フィルタ側にバンパを形成したりしても差し障りはない。本実装方法では、実装基板がスリットからの漏洩電磁界に影響を与えるが、擬似導波管内部に誘電体が存在するため、その影響は比較的小さい。さらにこの影響を低減するためには、図 6 に示す別の実装例のごとく、実装基板 11 上のフィルタが実装されるべき領域に凹部を設けるなどの方法も可能である。以上のように、本発明の実施の形態におけるフィルタにおいては、実装前後での性能変化を抑え、ワイヤボンディングで問題となる寄生インダクタンス成分、およびそのばらつきの影響が無視できるというフリップチップ実装の利点を享受することができる。

【0013】図 7 は、本発明における第 3 の実施の形態を示したフィルタ概略構造図である。図 7 (a) は斜視図であり、図 7 (b) は上面図である。本フィルタにおいては、主要構造は図 4 に示したフィルタと同じであるが、スリット 8 には、共振器上部の表面導体 2 に形成されたスロット線路 16 が接続されている。本実施の形態によるフィルタの実装方法の 1 例を図 8 に示す。本実施例によるフィルタ 10 が実装されるべき実装基板 11 には、

導体パターン 12 を用いてコプレーナ線路 13 が形成されている。コプレーナ線路の先端には、スロット線路—コプレーナ線路変換部 18 が形成されている。さらに例えば金を成分とするバンプ 14 が、実装基板 11 上に形成されている。フィルタは、例えば熱圧着法など工法により、バンプを介して実装基板 11 と実装される。このとき、フィルタに形成されたスロット線路は、実装基板上のコプレーナ線路と、スロット線路—コプレーナ線路変換部 18 を介して電磁界結合により接続される。この結果、第 2 の実施の形態と同様に、実装前後での性能変化を抑え、ワイヤボンディングで問題となる寄生インダクタンス成分、およびそのばらつきの影響が無視できるというフリップチップ実装の利点を享受することができる。

【0014】図 1 は、本発明における第 4 の実施の形態を示したフィルタ概略構造図であり、本発明の特徴を最もよく表したものである。図 1 (a) は斜視図であり、図 1 (b) は上面図である。誘電体基板 1 の一面に表面導体 2 が、反対側の面に裏面導体 3 が形成されている。表面導体 2 と裏面導体 3 を接続するビアホール 4 が、信号伝送方向に 2 列形成されている。おのおのビアホールの間隔  $a$  は、管内波長の 2 分の 1 以下が望ましい。この構造は、誘電体の厚みと 2 列に並ぶビアホールの間隔  $b$  を導波管断面とする擬似導波管とみなすことができる。導波管内には、さらにビアホール 5 のペアが形成されており、共振長を  $L_1$ 、 $L_2$ 、 $L_3$  とする共振器が形成される。ここでペアとなるビアホール 5 の間隔  $c$  を適切に選ぶことにより、共振周波数以外の周波数を反射させることができる。一方共振周波数では、信号は通過し、所望のフィルタ性能が得られる。本フィルタは、共振器が 3 個からなる 3 段構成であり、中央の共振器上部の表面導体 2 には、部分的に導体が除去されたスリット 6 が形成されている。スリット 6 は、信号方向に直角に配置させることが望ましい。両端の共振器上部の表面導体 2 には、部分的に導体が除去されたスリット 7、8 が形成されている。スリット 8 には、表面導体 2 に形成されたコプレーナ線路 9 が接続されている。本実施例によれば、第 1 および第 2 の実施例の説明に記載された通り、フィルタの小型化、低価格化を図ることが可能で、フリップチップ実装技術等も適用可能となる。

【0015】

【発明の効果】以上説明したように、請求項 1 記載の発明では、誘電体が充填された矩形導波管内に共振器が形成され、共振器を構成する導波管構造の長辺導体面にスリットが形成されることにより、帯域外の信号抑圧を向上する減衰極がつくられ、フィルタの不要周波数帯信号を抑制することができる。これにより、フィルタの段数を低減できることから、フィルタの小型化を図ることができ、製造の容易化、低価格化を実現できる。さらに、誘電体が充填された導波管構造にスリットを形成してい

るため、高周波モジュール内に実装した場合においても、電磁界が主に誘電体内に存在することにより、スリットからの漏れが少なく、フィルタ特性への影響を小さくすることができる。請求項 2 記載の発明では、誘電体基板の上面と下面とに導体面が形成され、誘電体基板側面に導体面が形成され、誘電体基板の導体面を長辺導体面とする矩形導波管構造内に共振器が形成されたフィルタにおいて、共振器を構成する導波管構造の長辺導体面にスリットが形成されることにより、帯域外の信号抑圧を向上する減衰極がつくられ、フィルタの不要周波数帯信号を抑制することができる。これにより、請求項 1 の場合と同様に、フィルタの小型化、製造の容易化、低価格化を実現でき、高周波モジュール内に実装した場合においても、フィルタ特性への影響を小さくすることができる。請求項 3 記載の発明では、誘電体基板の上面と下面とに導体面が形成され、誘電体基板内に導体ビアホールが形成され、誘電体基板の導体面を長辺導体面とする矩形導波管構造内に共振器が形成されたフィルタにおいて、共振器を構成する導波管構造の長辺導体面にスリットが形成されることにより、帯域外の信号抑圧を向上する減衰極がつくられ、フィルタの不要周波数帯信号を抑制することができる。これにより、請求項 1、請求項 2 の場合と同様に、フィルタの小型化、製造の容易化、低価格化を実現でき、高周波モジュール内に実装した場合においても、フィルタ特性への影響を小さくすることができる。請求項 4 記載の発明では、共振器が奇数個配列され、その中央の共振器を構成する導波管構造の長辺導体面にスリットが形成されることにより、対称性によりフィルタ特性を損なうことなく減衰極の調整が可能となり、減衰極の出現する周波数を容易に調整することが可能なフィルタを提供することができる。請求項 5 記載の発明では、導波管構造の長辺導体面に、信号伝播方向に直交する向きにスリットが形成されることにより、減衰極の出現する周波数の調整を効率よく実現することが可能となる。請求項 6 記載の発明では、導波管構造を構成する導体面にコプレーナ線路が形成され、共振器を構成する導波管構造の長辺導体面にスリットが形成され、コプレーナ線路がスリットと接続されていることにより、特別に外部端子を設けることなく、且つ端子への接続のための長い引き回しをすることなく平面回路との接続が可能となり、フィルタを小型に形成することができる。請求項 7 記載の発明では、フィルタ上のコプレーナ線路とフィルタが実装される回路基板とがバンプを介して接続されることにより、フリップチップ実装を容易に行うことができ、工数の削減、高周波における再現性の良い接続が可能となる。請求項 8 記載の発明では、導波管構造を構成する導体面にスロット線路が形成され、共振器を構成する導波管構造の長辺導体面にスリットが形成され、スロット線路がスリットと接続されていることにより、特別に外部端子を設けることなく、且つ端子への接

続のための長い引き回しをすることなく平面回路との接続が可能となり、フィルタを小型に形成することができる。請求項9記載の発明では、フィルタ上のスロット線路とフィルタが実装される回路基板とがバンプを介して接続されることにより、フリップチップ実装を容易に行うことができ、工数の削減、高周波における再現性の良い接続が可能となる。

【図面の簡単な説明】

【図1】 本発明の第4の実施の形態によるフィルタの構成を示す図である。

【図2】 本発明の第1の実施の形態によるフィルタの構成を示す図である。

【図3】 本発明の第1の実施の形態によるフィルタ特性を示す図である。

【図4】 本発明の第2の実施の形態によるフィルタの構成を示す図である。

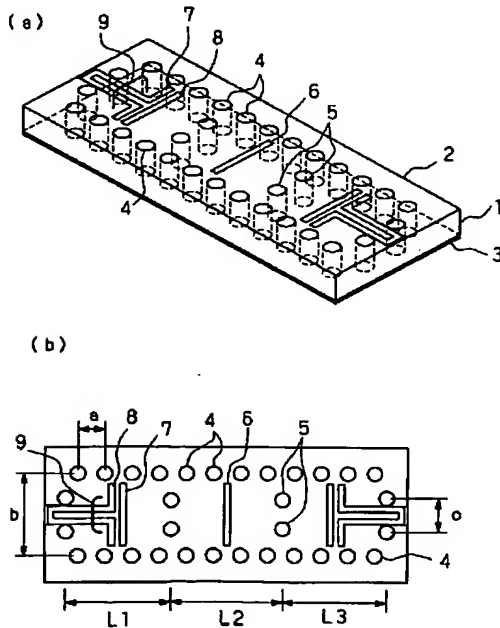
【図5】 本発明の第2の実施の形態および第4の実施の形態によるフィルタの実装説明図である。

【図6】 本発明の第2の実施の形態および第4の実施の形態によるフィルタの他の実装説明図である。

【図7】 本発明の第3の実施の形態によるフィルタの構成を示す図である。

【図8】 本発明の第3の実施の形態によるフィルタの実装説明図である。

【図1】

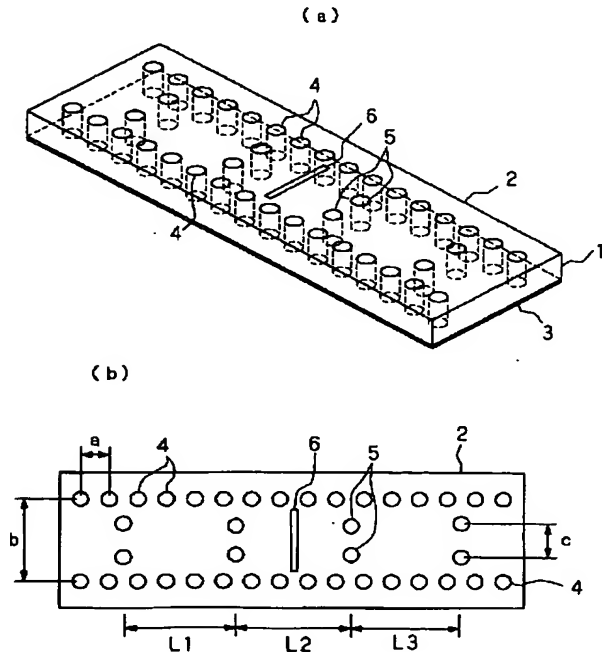


【図9】 従来のフィルタの1例を示す図である。

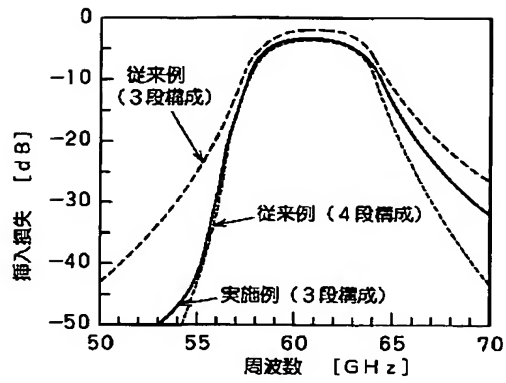
【符号の説明】

- 1 誘電体基板
- 2 表面導体
- 3 裏面導体
- 4 ピアホール（ピアホール列を形成するピアホール）
- 5 ピアホール（ベアを形成するピアホール）
- 6 第1および第4の実施の形態におけるスリット
- 7 第2、第3および第4の実施の形態におけるスリット
- 8 第2、第3および第4の実施の形態におけるスリット
- 9 コプレーナ線路（共振器上に形成されたコプレーナ線路）
- 10 第2および第4の実施の形態におけるフィルタ
- 11 実装基板
- 12 導体パターン
- 13 コプレーナ線路（実装基板上に形成されたコプレーナ線路）
- 14 バンプ
- 15 凹部
- 16 スロット線路
- 17 第3の実施例におけるフィルタ
- 18 スロット線路—コプレーナ線路変換部

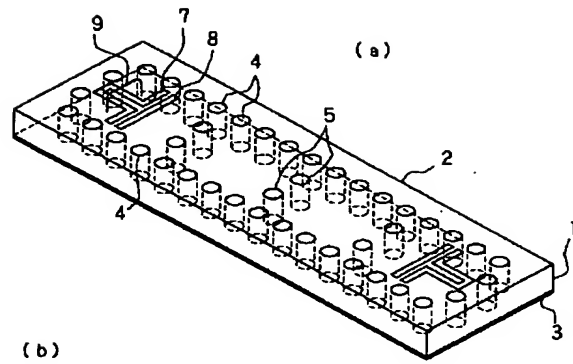
【図2】



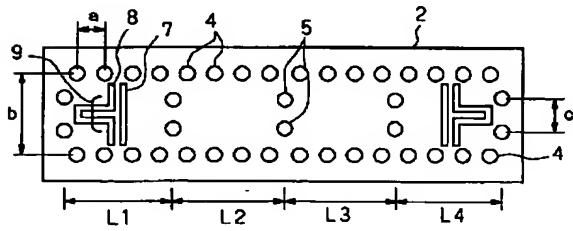
【図3】



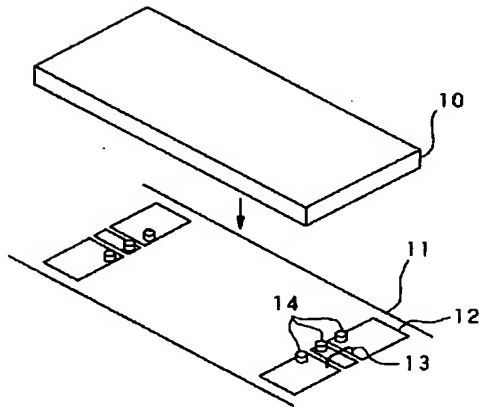
【図4】



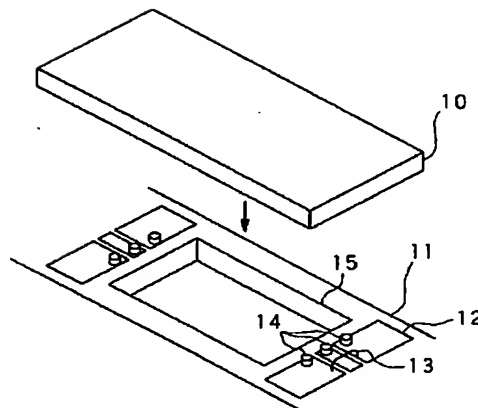
(b)



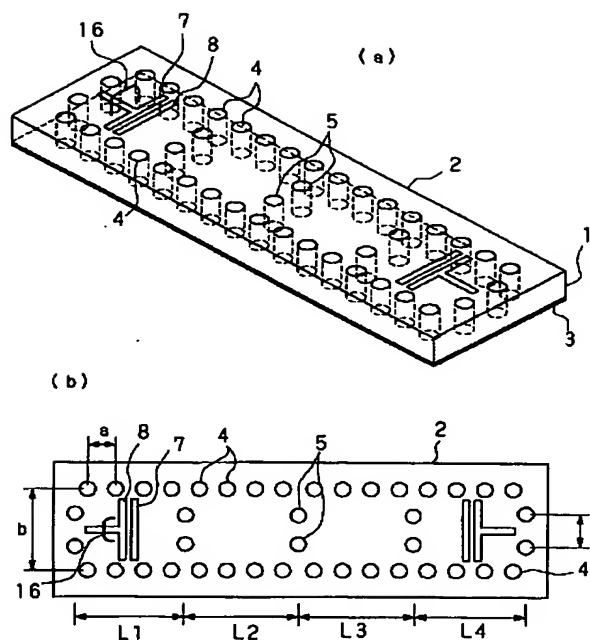
【図5】



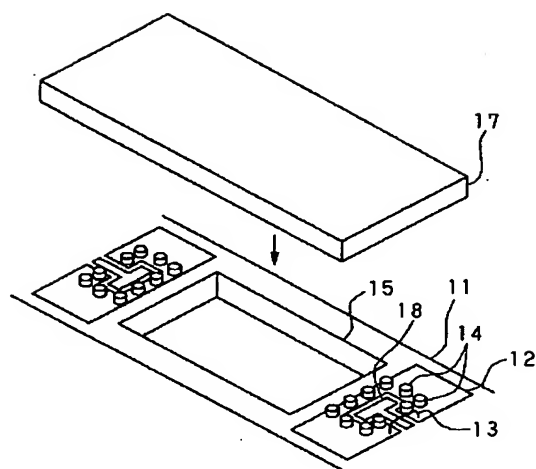
【図6】



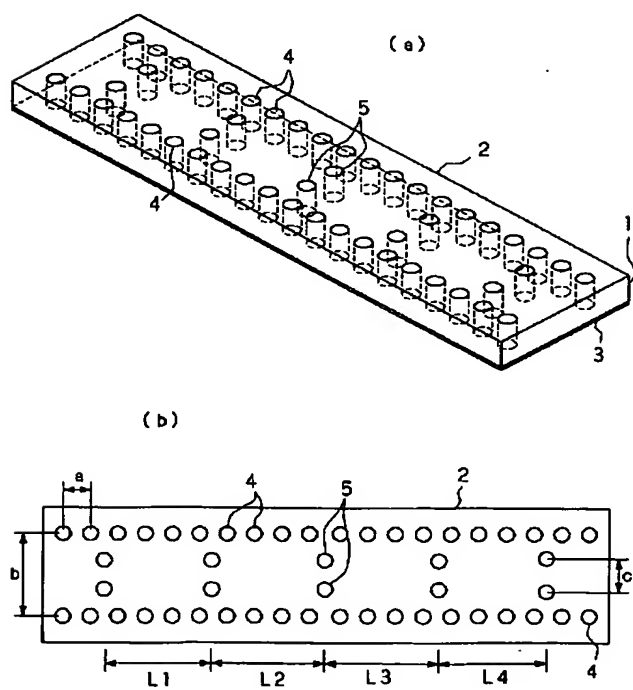
【図7】



【図8】



【図9】





フロントページの続き

(72) 発明者 大畑 恵一  
東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

F ターム (参考) 5J006 HC01 HC12 JA01 JA11 LA03  
LA21 NA08 ND02 NE14

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026611

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01P 1/208

H01P 1/205

H01P 5/08

H01P 5/107

(21)Application number : 2000-207460

(71)Applicant : NEC CORP

(22)Date of filing : 07.07.2000

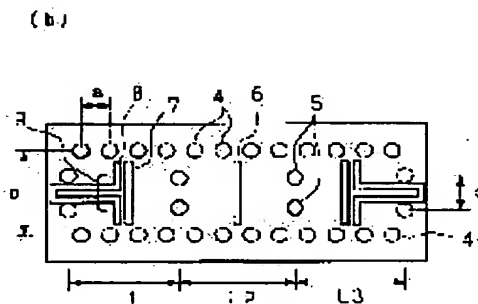
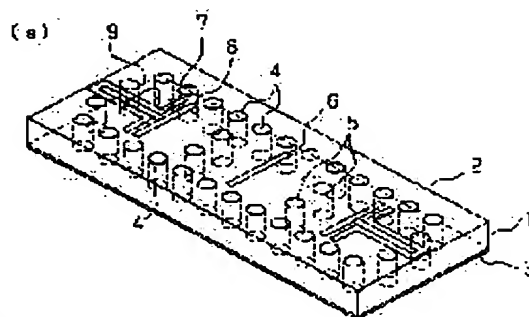
(72)Inventor : MARUHASHI KENICHI  
ITO MASAHARU  
OHATA KEIICHI

## (54) FILTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a small-sized dielectric waveguide filter having excellent filter characteristics even with a small number of stages and to provide a filter on which a waveguide-coplanar line conversion is directly formed and which can be connected to a plane circuit or flip-chip mounted.

**SOLUTION:** A front conductor 2 is formed to one side of a dielectric board 1 and a rear conductor 3 is formed onto the other side. Two lines of via-holes 4 interconnecting the front conductor 2 to the rear conductor 3 are formed in a signal transmission direction. A slit 6 formed by partially removing the conductor is formed on the front conductor 2 on the central resonator. The slit 6 is desirably formed at a right angle to the signal direction. Slits 7, 8 formed by partially eliminating the conductor are formed on the front conductor 2 on the resonators at both ends. A coplanar line 9 formed on the front conductor 2 is connected to the slit 8.



## LEGAL STATUS

[Date of request for examination]

12.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY